Design of Motion Capture System with Ultra-Low Delay Infrared Pen Based on FPGA*

GONG Yusheng[1,2], ZHAO Zhuangzhuang[1,2], CAO Keliang[1], FU Weiwei[1,2*]
(1.School of Electronic Information Engineering, Changchun University of Science and Technology, Changchun Jilin 130022, China;
2.Suzhou Institute of Biomedical Engineering and Technology, Chinese Academy of Sciences, Suzhou Jiangsu 215000, China)

Abstract: Targeting at the problem of hysteresis and vertigo caused by high delay in virtual reality (VR) 3D human-computer interaction, an ultra-low delay motion capture system based on field programmable gate array (FPGA) is designed. In order to meet the design requirements of ultra-low latency acquisition of moving targets, optical, electronic and algorithm optimization methods are used to reduce the data volume and optimize the end-to-end delay. In terms of optics, the 850 nm wavelength LED lamp is used for filtering with a narrow band filter in the 850 nm band, and only useful information in the 850 nm band is retained. In terms of electronics, combining the advantages of FPGA, such as fast operation speed and low processing delay, FPGA is used as the main control unit to realize the image processing algorithm and the driving of each module. In terms of algorithm, the system delay is further reduced by changing the cache mode and optimizing the readout mode of centroid extraction algorithm. The experimental results show that the end-to-end delay from image acquisition to infrared pen position coordinate output is only 13.092 ms, and the average delay is about 15.043 ms. The design requirements of ultra-low latency is met, the extraction results of centroid coordinates are accurate.

Key words: signal processing; ultra-low latency; motion capture; FPGA
EEACC: 6135 **doi**: 10.3969/j.issn.1004-1699.2025.10.013

基于 FPGA 的超低延迟红外笔的运动捕捉系统设计*

宫雨生[1,2], 赵壮壮[1,2], 曹可亮[1], 付威威[1,2*]
(1.长春理工大学电子信息工程学院, 吉林 长春 130022; 2.中国科学院苏州生物医学工程技术研究所, 江苏 苏州 215000)

摘　要: 针对虚拟现实(Virtual Reality, VR)三维空间人机交互过程中高延迟会引发使用者产生迟滞感和眩晕感的问题, 设计了一种基于现场可编程门阵列(FPGA)的超低延迟运动捕捉系统。为了满足超低延迟捕获运动目标的设计需求, 采用了光学、电子学及算法优化等多种手段来实现数据量的降维和端到端延迟的优化。光学方面, 使用 850 nm 波长 LED 灯与 850 nm 波段的窄带滤光片进行滤光, 仅保留 850 nm 波段的有用信息。电子学方面, 结合 FPGA 运算速度快、处理延迟低的优势, 以 FPGA 作为主控单元, 实现图像处理算法及各模块的驱动。算法方面, 通过更改缓存方式及优化质心提取算法读出方式等, 进一步降低系统延迟。实验结果表明: 从采集图像到输出红外笔位置坐标的端到端延迟仅为 13.092 ms, 平均延迟约为 15.043 ms。满足超低延迟的设计需求, 质心坐标提取结果准确。

关键词: 信号处理; 超低延迟; 运动捕捉; FPGA
中图分类号: TP391.41; TN791; TN919.8 **文献标识码**: A **文章编号**: 1004-1699(2025)10-1827-07

在体验虚拟现实过程中, 用户需要与虚拟现实设备进行交互[1]。目前市面上常见的 VR 交互设备有 VR 交互笔、手持手柄和电子手套等。这些设备可以提供各种感官刺激, 使用户能够有效地与虚拟现实设备进行交互[2]。其中, VR 交互笔是一种尤为重要的交互方式。此外, 上述人机交互设备都存在延迟过高的问题, 延迟过高也一直是虚拟现实尚未解决的一大问题。延迟越高用户感受到的割裂感和眩晕感越强烈[3]。从 VR 头盔显示器获得的视觉反馈是用户与虚拟环境交互的首要反馈, 用户使用手中的 VR 交互笔进行一定操作后, 如果在进行下一步动作前没有得到该操作相应的视觉反馈, 就不能形成完整、确切的三维运动感知[4], 从而导致用户在虚拟现实体验中感到割裂感和眩晕感。换句话说, 如果视觉反馈存在过高的延迟, 用户便无法在下一步动作前接收到视觉反馈, 这将会严重影响用户

项目来源: 中国科学院青促会优秀会员项目(E1290301)
收稿日期: 2023-11-28 **修改日期**: 2024-01-07

的虚拟现实交互体验[5]。

VR 交互笔原理是通过摄像头或传感器捕捉笔的位姿信息,并将该信息传输到 VR 头盔显示器,同时,显示器显示相应操作。从采集笔的位姿信息到 VR 头盔显示器显示相应操作的视觉反馈所消耗的时间被称为端到端延迟。研究表明,当端到端延迟小于 20 ms 时,用户在虚拟现实体验中就不会感到割裂感和眩晕感[6]。

本文结合 FPGA 运算速度快,处理延迟低的特点,将图像处理算法以硬件加速的方式在 FPGA 上实现[7]。通过光学、电子学和算法优化等多种手段来实现数据量的降维和延迟的优化。最终实现了端到端延迟为 13.092 ms 的红外笔运动捕捉系统,为实现超低延迟的虚拟现实人机交互提供了可能性。

1 降低延迟的方案

运动捕捉系统的端到端延迟包括采集延迟、缓存延迟、处理延迟和显示延迟[8]。各部分造成延迟的范围如图 1 所示。其中,采集延迟主要取决于 CMOS 图像传感器的曝光时间和像素数据的读出时间。曝光时间越短,像素数据的读取速率就越快,系统的采集延迟越低。像素数据流输出速率与视频流接收端速率不一致或相差较多时,为保证像素数据的正确性,图像数据通常需要经过帧缓存处理。帧缓存会带来额外的系统延迟。此外,普通处理器运算速度慢,不具有并行性、处理延迟低等优势,实现图像处理算法会带来大量的图像处理延迟。显示延迟取决于屏幕的灰阶响应时间,普通的 LCD 屏幕灰阶响应时间较高,同样会带来大量的显示延迟。

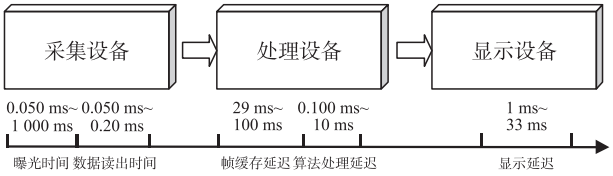


图 1 延迟的构成

针对上述系统延迟构成,本文将采用光学、电子学和算法优化等多种手段来实现数据量的降维和延迟的优化。光学上采用 850 nm 波长的滤光片进行滤光,仅保留 850 nm 波段的有用信息,大幅降低数据量,同时也为后续图像处理带来方便。电子学上,结合 FPGA 运算速度快、处理延迟低的优势,将整个系统基于 FPGA 进行实现[9],同时对图像采集模块进行延迟优化。算法上,经过滤光处理后,图像十分干净,仅保留了有用目标图像,提取质心也不再需要复杂的算法处理,只需要对图像进行简单的腐蚀膨胀后直接进行质心提取即可。同时,每完成图像中一个目标的质心提取,就直接将其质心提取后的像素坐标值输出,不再等待整幅图像所有目标遍历完成再输出。

2 系统方案设计

系统总体框图见图 2。该系统基于国产易灵思钛金系列 Ti60F225 FPGA 设计,包括红外笔、图像采集单元、FPGA 处理单元及显示单元。在红外笔的设计中,笔的尖端和尾端各安装了一颗 850 nm 波长的 LED 灯,作为红外笔的识别标志。图像采集单元的主要任务是捕获红外笔的运动图像。该单元采用了索尼公司的 IMX415 CMOS 图像传感器,在传感器上安装了一片 850 nm 波段的窄带滤光片,配合红外笔上的 850 nm 红外 LED 灯,滤除 850 nm 波段以外的光线,仅保留笔尖和笔尾处的有用信息。FPGA 处理单元则负责驱动 CMOS 图像传感器及 Micro OLED 屏幕,并实现图像滤波和质心提取算法。最后,将捕获到的结果通过 Micro OLED 屏幕显示。

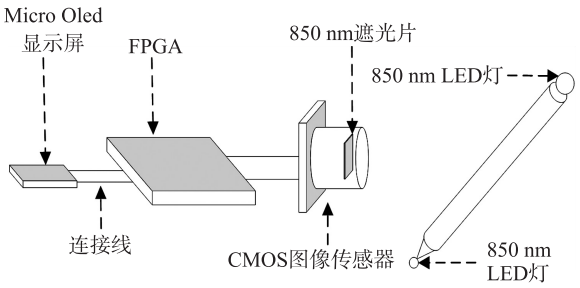
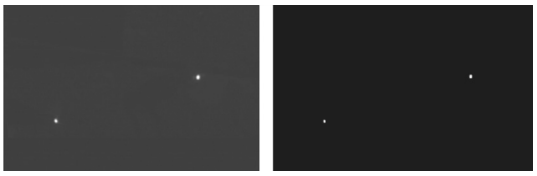


图 2 系统总体框图

3 降低延迟具体措施

3.1 光学方法数据量降维

光学上,通过红外笔上安装的 850 nm LED 灯与 IMX415 上的 850 nm 的窄带滤光片配合使用,进行光学滤波,仅保留笔尖和笔尾两处有用信息。采集到的原始图像如图 3(a)所示,图像中仅包含笔尖与笔尾信息,背景几乎为纯黑色。进而可以通过像素灰度值的最高位是否为 1 作为判断依据,直接将图像二值化,减少后续图像传输和处理的数据量,达到数据量降维的目的。二值化后的图像如图 3(b)所示。



(a) 采集的原图像 (b) 二值化后的图像

图 3 采集的原图像和二值化后的图像

3.2　电子学方法降低系统延迟

相比于普通处理器,FPGA 具有运算速度快、处理延迟低的优势,因此将整个系统基于 FPGA 进行实现。同时通过降低 IMX415 的曝光时间,数据读出时间,选择延迟极低的 Mirco OLED 屏幕进行显示等方法最大程度降低系统延迟。

像素数据输出需要经过曝光和数据读出两个步骤。曝光是指有源像素阵列 APS(Active Pixel Sensors)中排列的光敏二极管将照射在像素上的光信号转换成电压信号。电压信号经过内部读出电路处理后,会被送到模数转换器(ADC)转换为数字信号,最后将这些数字信号读出 CMOS 图像传感器[10]。

IMX415 的曝光模式为卷帘曝光模式,该模式下 CMOS 图像传感器对像素进行逐行曝光逐行读出。读出方式为列并行方式,如图 4 所示。

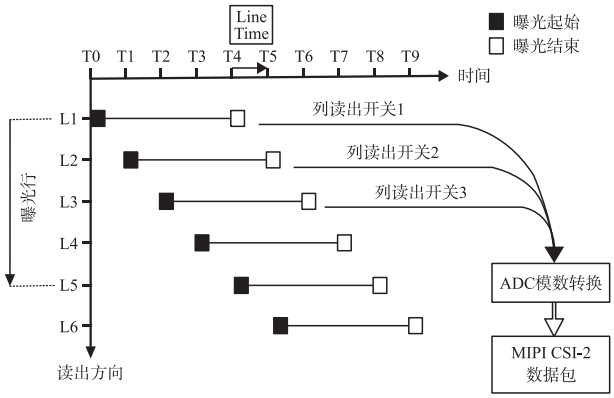


图 4　列并行像素数据读出方式

这种方式下,完成某一行像素的曝光后,该行像素会被选择输出,每个像素的光电转换信号会通过各自的列通道输出。Line Time 为行数据读出时间,在 Line Time 内,列输出开关轮流开启,将这一行像素信号依次输出并储存在行储存器中,经过 ADC 转换为数字信号后,等待数据被打包成 MIPI CSI-2 协议数据包[11]。打包完成后,数据通过 MIPI CSI-2 接口输出[12]。

由以上像素数据被读出的过程可知,一行像素数据被读出的时间包括行曝光时间,行处理时间和行读出时间,行处理时间由传感器硬件决定,为固定值。

行曝光时间方面,IMX415 无法直接设置行曝光时间,但可以配置一帧总的曝光时间,曝光时间计算公式如下:

$$\text{E-time}=(V_{max}-\text{SHR0})\times 1\text{H-p}+T_{offset} \quad (1)$$

式中:E-time 代表曝光时间,1H-p 是行周期,V_{max} 为图像的总行数,为固定值,T_{offset} 是补偿时间,T_{offset} 在设置 10 bit AD 转换输出时为固定值 1.79 μs。根据公式,增加 SHR0 值可以缩短曝光时间。SHR0 的最大值可以配置为每帧的行数减 4。但 SHR0 的值设置过大时,图像过暗,无法使用。因此,为了保证成像质量,同时降低曝光时间,通过适当提高 LED 小灯亮度的方法,改善拍摄图像的亮度。此时便可以在不影响采集图像效果的前提下,将 SHR0 设置为较大的数值,尽可能降低曝光时间,从而降低曝光时间延迟。曝光时间延迟最终由 10 ms 缩短至 3 ms。

行读出时间方面,行读出时间 L-time 计算公式如下:

$$\text{L-time}=\text{RBT}+\text{Pixel-p}\times\text{Nx} \quad (2)$$

式中:RBT 是行空闲时间,一般是几个 μs,Pixel-p 是像素读取时钟速率,Nx 是一行中像素的个数。从公式可以看出,提高像素读取的时钟频率,可以提升像素的读出速度。因此,需要将 IMX415 设置为以最大时钟频率工作。想要使 IMX415 以最大时钟频率工作,需要为其提供最大时钟频率 74.25M。通过 FPGA 端配置 PLL 锁相环输出 74.25M 的时钟给 IMX415。同时,适配好 IMX415 寄存器参数,使 IMX415 能够以最大时钟频率工作。从而降低 IMX415 的行读出时间。将行读出时间从 0.200 ms 降低为 0.075 ms。

缓存方式上,若像素数据流从 MIPI 端接收速率与视频流接收端速率不一致或相差较多,为了保证数据的正确性,则需使用 DDR 缓存若干帧视频数据[13]。通常像素数据会在 DDR 内存中缓存三帧后再进行输出,这种缓存方式也叫帧缓存。然而,帧缓存可能会导致几十毫秒甚至上百毫秒的延迟。本系统采用 4 线 MIPI 进行图像数据采集,采用 4 线 MIPI 进行图像数据的显示,MIPI 端像素数据的接收时钟频率可调节,匹配接收端时钟频率使像素输出速率与视频端接收速率一致。采用行缓存的方式代替帧缓存,同时保证系统稳定运行。行缓存能够大幅减少视频流的缓存延迟。

缓存模块通过 AXI4 协议完成对 DDR3 的读写。像素数据输入 FPGA 后,当写 FIFO 中数据个数达到突发长度时,通过 AXI 接口,将数据突发写入到 DDR3 中。数据缓存至 DDR3 后,直接将数据通过 AXI 接口读出,保证有数据就即时读出,最大程度降低缓存延迟。缓存延迟由最初帧缓存的 29.491 ms 降低至行缓存的 0.250 ms~1.000 ms。

3.3　降低算法延迟

采用普通处理器进行图像处理运算速度慢,处理延迟高。FPGA 具有可并行计算,处理延迟低等

优势。因此,本文采用 FPGA 进行图像处理算法的实现。

经过光学滤波模块处理后,采集到的图像十分干净,二值化后,只需要对图像进行简单的腐蚀膨胀处理后即可直接进行质心提取。

如图 5(a)所示,二值化后的图像中,可以观察到目标图像部分边缘存在凹凸不平的情况,同时目标区域中混杂着部分黑洞像素点,导致目标被分割成多个区域。这种情况下无法准确进行质心提取。为了精确地提取笔尖和笔尾两个 850 nm 发光体的质心,需要对图像进行膨胀腐蚀算法处理,即闭运算处理。膨胀算法能够有效地去除目标图像中的小型黑洞像素,从而使目标图像形成完整的连通域。腐蚀算法能将目标图像恢复为原来大小,去除凸起。闭运算后目标图像如图 5(b)所示,目标图像形成了完整的连通域,更有利于准确地提取质心。

(a) 形态学滤波前图像 (b) 形态学滤波后图像

图 5 形态学滤波前和滤波后图像

该模块采用了 3×3 窗口模板实现腐蚀膨胀算法,FPGA 实现 3×3 滤波模板,需要缓存两行图像数据[14],因此,使用两个 FIFO 首尾相连的方式进行数据缓存,形成的 3×3 滤波模板,如图 6 所示。完成滤波模板的设计后,需要设定膨胀腐蚀阈值。将 3×3 窗口中 9 个像素中像素值为 1 的像素个数与该阈值比较,根据比较结果将当前像素点置 0 或置 1。遍历整幅图像后,就可以得到经过腐蚀膨胀处理后的图像。33 模板无法遍历到图像的边缘部分,在处理过程中,将图像的边缘以黑色背景填充。

对经过闭运算的图像进行质心提取。提取质心需要考虑相邻像素的分布,使用一个 FIFO 进行一行像素数据的缓存,生成 2×2 的窗口模板,用于像素点连通域的判断[15]。当检测到第一个目标图像

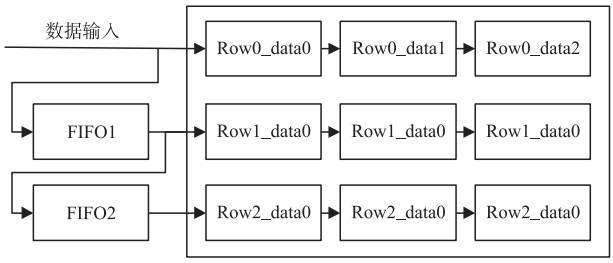


图 6 3×3 形态学滤波模板

时,将该目标图像中所有的像素点标记为 1,送至第一个质心坐标计数模块,对第一个目标图像的像素坐标及像素个数进行累加。具体地,当检测到第一个目标像素点后,将其标记为 1,继续检测下一个像素点,判断该像素点上方以及左上方是否也是像素值为 1 的点,如果是,给予相同的标记 1,将像素坐标送至第一个目标像素坐标累加模块进行累加,同时,像素个数加 1。否则,判定为新的连通区域,给予新的标记 2,同时将标记为 2 的像素点送至第二目标图像计数模块进行累加,最后通过调用除法器 IP 核,实现像素坐标和与像素个数相除的功能,得到质心坐标,多质心提取流程如图 7 所示。

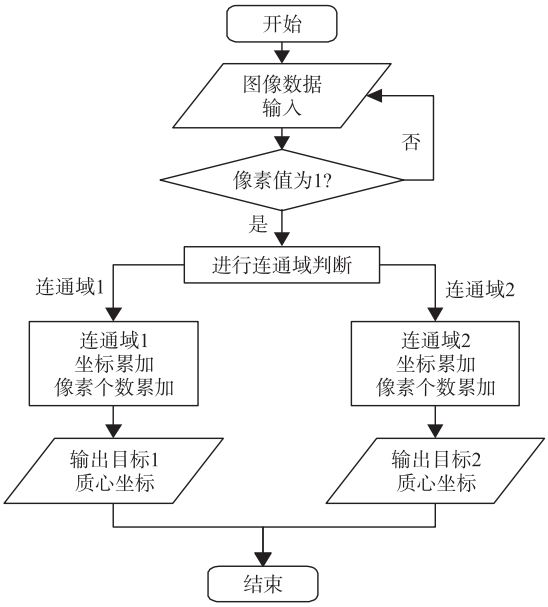


图 7 多质心提取流程图

为减少质心提取算法的延迟,每完成图像中一个目标的质心提取,就直接将其质心提取后的像素坐标值输出,不再等待整幅图像所有目标遍历完成再输出。由于本设计只需要检测笔尖和笔尾两个目标图像,因此,当第二个目标图像检测完成后,将停止该幅图像的遍历,等待下一幅图像的检测。使用普通处理器处理延迟为 10 ms~50 ms,使用 FPGA 处理延迟为 0.500 ms。

显示方面,显示延迟主要受到屏幕的灰阶响应时间影响,灰阶响应时间越短,显示延迟越低。Micro OLED 屏幕相比于普通屏幕具有更低的灰阶响应时间,因此选择该类型的屏幕进行捕获结果的显示能够显著减少显示延迟。该屏幕的显示延迟仅 1 ms~5 ms。

4 实验与结果

系统实物如图 8 所示,其中包括 FPGA 核心板

与转接板、Micro OLED 屏幕、MIPI 摄像头等。

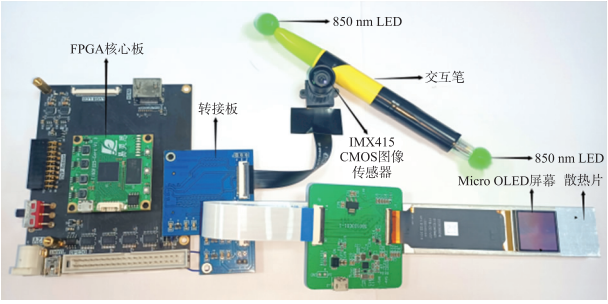


图 8　系统实物图

为了准确测量运动捕捉系统的端到端延迟并使其在屏幕上可视化,将系统延迟分为三个阶段,如图 9 所示。第一阶段是从数据采集到输出 RAW 图像数据过程中产生的延迟。第二阶段是对 RAW 图像数据进行图像处理以获取质心坐标产生的延迟。第三阶段是将图像通过 Micro OLED 屏幕显示产生的延迟。可以通过 ModelSim 仿真工具来获取第二阶段算法的处理延迟。对于第一阶段和第三阶段的延迟,可以放在一起进行测量。通过采集延迟测量装置的图像并将其显示在 Micro OLED 屏幕上,然后读取两个图像之间的差值,便可以确定这部分的总延迟。

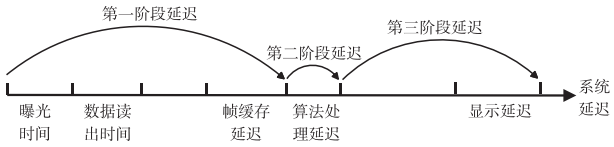


图 9　延迟阶段图

常用的测量系统延迟的方法是使用相机同时拍摄电子设备上的毫秒表(图 10)与经摄像头采集后屏幕显示的毫秒表进行对比,两毫秒表的差值即为系统延迟。受电子设备屏幕刷新率的局限,毫秒表无法做到每毫秒真正刷新一次,该方法并不适合测量 35 ms 以下的延迟。因此,设计了一种图 10 所示的物理空间延迟测量装置。

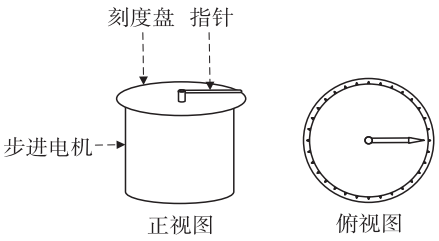


图 10　手机毫秒表跳变时间图

该装置由 360 细分的刻度盘、步进电机和塑料指针组成。步进电机带动指针的旋转,同时使用相机拍摄装置和屏幕中显示的装置图像。在步进电机开始旋转前,先将实际延迟装置的指针与屏幕中测量装置的指针指向同一方向。启动步进电机旋转,用另一设备进行拍摄。根据图像中两指针旋转角度的差值确定系统延迟大小。设置驱动板控制步进电机每秒旋转 15 圈,每圈 66.667 ms,旋转 90 度对应 16.667 ms 延迟。实验结果如图 11 所示,两指针相差角度为 70 度左右,此时测得系统延迟为 12.963 ms,由 ModelSim 仿真工具测量的算法延迟为 0.500 ms,因此,系统端到端延迟为 12.963 ms+0.500 ms = 13.463 ms。经过多次测量实验,所得结果如表 1 所示。根据多次测量结果,计算得出系统平均端到端延迟约为 15.043 ms。

图 11　延迟测量装置与测量结果

表 1　角度差值表

测量次数	指针角度差值/度	端到端延迟/ms
1	72	13.834
2	83	15.871
3	80	15.315
4	91	17.352
5	75	14.389
6	86	16.426
7	70	13.463
8	73	14.029
9	89	16.982
10	75	14.398
11	76	14.574
12	68	13.092
13	85	16.241
14	83	15.871
15	72	13.834

改进前后系统各部分延迟大致范围如表 2 所示,曝光时间的延迟可以通过比较改进前后的寄存器值来确定,在不影响成像质量的前提下,通过增加 LED 小灯的亮度,可以将曝光时间降低至 2 ms。数据读出的时间延迟可以通过式(2)来计算。当 CMOS 图像传感器达到其最快的时钟频率输出时,该延迟可以降低至 0.075 ms。缓存延迟主要由帧缓存引起。该系统采用帧缓存的方式,根据系统时钟计算,帧缓存产生的缓存延迟为 29.491 ms。然而,通过匹配输出和接收数据的速率,系统只需要缓存少量行就可以接收到

正确的数据,从而显著减少了这部分的延迟。多行缓存产生的延迟仅为 0.250 ms~1.000 ms。普通处理器(如 PC 端)实现该系统算法所需的延迟范围是 10 ms~50 ms;而使用 FPGA 实现时,其延迟由 ModelSim 仿真工具测量为 0.500 ms。经测试,普通屏幕的延迟时间为 8 ms~33 ms,而 Micro OLED 屏幕的延迟时间仅为 1 ms~5 ms。经过上述改进,系统的总延迟从 75 ms~100 ms 降低至 13 ms~18 ms。

表 2 改进前后延迟对比

各部分延迟/ms	曝光时间延迟	数据读出时间延迟	缓存延迟	算法处理延迟	显示延迟	总延迟	帧率
改进前	10(普通环境)	0.200	29.491(帧缓存)	10~50(普通处理器)	8~33(普通屏幕)	75~100	27 fps
改进后	3(提高 LED 灯亮度)	0.075	0.250~1(行缓存)	0.500(FPGA)	1~5(Micro OLED 屏幕)	13~18	144 fps

为验证 FPGA 质心提取算法的准确性,将采集的图像导出。利用 MATLAB 计算导出的灰度图像中目标的质心结果与 FPGA 计算导出的二值图像中目标的质心结果进行了对比,如表 3 所示。表 3 中的结果显示,FPGA 和 MATLAB 提取出的质心结果之间的差异小于 2 个像素,这表明质心提取的结果具有较高的准确性。

表 3 质心提取结果

组数		MATLAB 获得像素坐标	FPGA 运算获得像素坐标
第一组	笔尖	213.758	213.089
	笔尾	1 089.578	1 090.317
第二组	笔尖	155.167	156.257
	笔尾	1 281.356	1 280.651
第三组	笔尖	561.668	561.653
	笔尾	1 948.195	1 947.889
第四组	笔尖	1 344.861	1 346.013
	笔尾	2 026.757	2 026.538
第五组	笔尖	36.335	35.291
	笔尾	579.203	578.490
第六组	笔尖	393.418	394.299
	笔尾	1 770.639	1 769.775
第七组	笔尖	149.334	148.239
	笔尾	1 251.761	1 251.985
第八组	笔尖	1 195.258	1 196.156
	笔尾	1 639.368	1 641.117
第九组	笔尖	439.811	438.903
	笔尾	1 335.681	1 337.374
第十组	笔尖	924.397	924.108
	笔尾	1 955.360	1 954.339

5 结论

针对虚拟现实人机交互过程中高延迟会引发使用者感到迟滞感和眩晕感问题,本文设计了一种基于 FPGA 与红外笔的超低延迟运动捕捉系统。通过分析端到端系统延迟高的成因,采用光学、电子学、算法优化等多种方法有效降低了系统端到端延迟,同时给出了系统优化前后各模块的延迟变化范围。实验结果表明:系统多个模块延迟显著降低,系统端到端延迟从未优化前的 75 ms~100 ms 降低到了优化后的 13 ms~18 ms,满足小于 20 ms 的端到端延迟要求,且运动目标的质心提取结果准确。本文的超低延迟红外笔运动捕捉系统为实现更流畅、更舒适的 VR 交互笔提供了可能。但本系统目前只完成了单目图像采集,仅能提取目标的二维坐标,后续实现双目图像采集,即可提取目标的三维空间坐标。

参考文献:

[1] 石晓卫,苑慧,吕茗萱. 虚拟现实技术在医学领域的研究现状与进展[J]. 激光与光电子学进展,2020,57(1):66-75.

[2] 刘振生. 虚拟现实的教育应用现状及面临的挑战[J]. 长春师范大学学报,2022,41(5):143-148.

[3] 王涌天,程德文,许晨. 虚拟现实光学显示技术[J]. 中国科学:信息科学,2016,46(12):1694-1710.

[4] 赵昕,许长. 虚拟现实人机交互中的视觉干扰效应研究[J]. 信息与电脑(理论版),2022,34(19):45-48.

[5] 苏丽. 虚拟现实技术中延迟问题的现象学反思[J]. 哲学研究,2017(11):114-120,129.

[6] Elbamby M S,Perfecto C,Bennis M. Toward Low-Latency and Ultra-Reliable Virtual Reality[J]. IEEE Network,2018,32(2):78-84.

[7] Zhang J M,Cheng L F,Li C. A Low-Latency FPGA Implementation for Real-Time Object Detection[C]//2021 IEEE International Symposium on Circuits and Systems (ISCAS),Daegu,South Korea,2021:1-5.

[8] 吴国良,孙谨,马登武,等. 虚拟现实系统中的视觉延迟研究[J]. 电光与控制,2002,9(1):58-60.

[9] 陈锐弦. 基于 FPGA 和 MIPI CSI-2 的双摄像头图像采集系统设计[D]. 西安:西安电子科技大学,2022.

[10] 刘晓磊. 一种高优值 CMOS 图像传感器读出电路的设计[D]. 武汉:华中科技大学,2012.

[11] Shin G,Kim Y,Jeong D G. Hardware Design of MIPI C-PHY Compatible CSI-2/DSI Rx Interface[J]. Journal of Platform Technology,2017,5(4):16-26.

[12] Lee P,Lee H,Kim Y. A 10-Gbps Receiver Bridge Chip with Deserializer for FPGA-Based Frame Grabber Supporting MIPI CSI-2.[J]. IEEE Transactions Consumer Electronics,2017,63(3):209-215.

[13] 朱临轩. 基于 FPGA 的双目立体视觉系统设计[D]. 杭州:浙江大学,2021.

[14] Tian F,Wang L,Xiong Y. Design of Fast Detection and Tracking System Based on FPGA[J]. IOP Conference Series:Materials Science and Engineering,2020,719(1):012036.

[15] Fan Y,Xiao H,Cao W. FPGA Implementation of Real-time Star Centroid Extraction Algorithm[C]//IEEE 2nd International Conference on Information Communication and Signal Processing(ICICSP),Weihai,China,2019:395-399.

宫雨生(1995—),男,硕士研究生,主要从事 FPGA 图像处理方面的研究,1694591434@qq.com;

赵壮壮(1997—),男,硕士研究生,主要从事电子信息,图像处理方面的研究,zhaozhuangz1997@163.com;

曹可亮(1999—),男,硕士研究生,主要从事电子信息,深度学习方面的研究,15948198759@163.com;

付威威(1986—),男,研究员,博士,主要从事医学图像处理、医用机器视觉检测与模式识别等方面的研究,fuww@sibet.ac.cn。