

## Research on High Speed and High Precision Slope ADC for CMOS Image Sensor\*

ZHANG Qian<sup>1\*</sup>, GUO ZhongJie<sup>2</sup>, YU Ningmei<sup>2</sup> and WU Longsheng<sup>3</sup>

(1. Department of computer teaching and research, Xi'an Conservatory of Music, Xi'an Shaanxi 710061, China;

2. School of automation and information engineering, Xi'an University of Technology, Xi'an Shaanxi 710048, China;

3. School of Microelectronics, Xidian University, Xi'an Shaanxi 710065, China)

**Abstract:** In view of the speed deficiency of traditional column parallel single slope ADC in CMOS image sensor and the nonlinear problem of two-step ADC switching between slopes, a two-step slope ADC architecture based on time sharing and single interval high speed and high precision columns parallel two-step slope ADC is proposed in this paper. The potential recognition of pixel charge transfer phase is used to realize the coarse quantization without consuming time. The single interval high-precision quantization is used to solve the problem of joint between multiple slopes. The effectiveness of the proposed method is verified in a 2 048 CMOS image sensor chip based on 55 nm 1P4M process. The results show that, compared with the traditional two-step structure, the row time of the proposed method can be speeded up to 500 ns at 12 bit resolution, the DNL and INL are both within 0.15LSB, and the single column power consumption is only 16.5  $\mu$ W.

**Key words:** CMOS image sensor; ramp ADC; single slope; two-step

EEACC: 7230 doi: 10.3969/j.issn.1004-1699.2021.10.005

## 用于 CMOS 图像传感器的高速高精度斜坡 ADC 设计技术研究\*

张 倩<sup>1\*</sup>, 郭仲杰<sup>2</sup>, 余宁梅<sup>2</sup>, 吴龙胜<sup>3</sup>

(1. 西安音乐学院计算机教研室, 陕西 西安 710061; 2. 西安理工大学自动化与信息工程学院, 陕西 西安 710048;

3. 西安电子科技大学微电子学院, 陕西 西安 710065)

**摘 要:** 针对 CMOS 图像传感器中传统的列级单斜式 ADC 在速度方面的不足和两步式 ADC 在斜坡间切换过程中的非线性问题, 论文提出了一种基于时间共享与单区间的高速高精度列并行两步式斜坡 ADC 架构。采用像素电荷转移阶段的电位识别, 实现了不消耗时间的粗量化; 采用单区间高精度量化, 解决了多斜坡之间的无缝衔接问题。所提出的方法在一款基于 55 nm 1P4M 工艺的 2 048×2 048 规模的 CMOS 图像传感器芯片中进行了有效性验证, 结果表明, 在 12 位分辨率下, 该方法相较于传统的两步式结构, 行时间可以压缩到 500 ns, DNL 和 INL 都可以控制到 0.12LSB 以内, 单列功耗仅为 16.5  $\mu$ W。

**关键词:** CMOS 图像传感器; 斜坡 ADC; 单斜坡; 两步式

中图分类号: TN43

文献标识码: A

文章编号: 1004-1699(2021)10-1307-05

作为万物互联的传感器网络, 图像传感器发挥着举足轻重的作用。图像传感器分为 CCD 电荷耦合器件和 CMOS 图像传感器。早期由于工艺技术的原因, CCD 器件占据绝对的市场比例。近二十年左右, CMOS 工艺技术突飞猛进, 加上 CMOS 图像传感

器在集成度和低功耗等方面的绝对优势, 推进了 CMOS 图像传感器的快速发展。随着大数据时代和 5G 时代的到来, 电子成像系统对传感器的速度、精度和集成度要求与日俱增, 因此, 近年来 CMOS 图像传感器的发展非常迅速<sup>[1-4]</sup>。

**项目来源:** 国家自然科学基金面上项目(61771388); 陕西省科技厅重点研发项目计划项目(2021GY-060); 陕西省教育厅科学研究计划项目(19JC029)

收稿日期: 2021-05-13 修改日期: 2021-07-06

从目前大量的文献研究成果来看<sup>[5-7]</sup>, 高速 CMOS 图像传感器基本上都采用全流水的工作方式, 这样影响传感器速度的是每一级并行工作的电路。根据列级读出电路的特点, 并行工作的电路主要包括, 像素单元的电荷转移与采样电路, 列级 ADC, 并串转换与数据输出电路。对比这些电路, 其中速度最难提升的是列级 ADC。由于列级 ADC 在 CMOS 图像传感器中的特殊性, 考虑到功耗和面积的双重约束, 一般采用的是单斜式结构, 即斜坡 ADC。斜坡 ADC 的组成单元包括采样保持, 比较器, 计数器等关键模块。对于  $n$  位分辨率的 ADC, 计数器的计数范围为从 0 到  $2^n-1$  个主时钟, 可见, 斜坡 ADC 的速度随着分辨率的提升急剧下降, 这导致在高精度量化的应用中很难克服速度衰减问题。

因此, 文献[8-13]对单斜式结构进行了不断的改进, 其中共性的特点是都提出了两步式的解决方案。很明显, 两步式结构可以压缩斜坡 ADC 的转换时间, 然而这里有个关键问题是, 在两步式的量化过程中, 斜坡被分为多个分段区间的斜坡相叠加而成, 这对斜坡间的无缝切换要求比较高, 否则会存在各斜坡之间的非线性误差。斜坡之间的切换很难做到无缝切换, 总会存在一定的误差, 这使得该方法的精度受到一定的制约。文献[11]对斜坡间的误差进行了研究, 提出了一种巧妙的解决方法, 但是为了确保存储电压的精度需要增大斜坡电压保持电容, 这将会导致大阵列下斜坡驱动能力必须大大增加, 造成芯片面积和功耗的巨大消耗。文献[12]提出的两步式相关多采样方法虽然可以提高两步式的转换速度, 但是对于低位的转换仍存在子区间由于失调失配引起的衔接性问题。文献[13]更是将两步式单斜式改进为两步式 SAR 与 SS 的合成, 进一步压缩了转换时间, 虽然第二步的子斜坡区间是实时产生的, 但是斜坡间的失配问题依然存在。

针对上述分析的问题, 本文基于两步式架构的设计思想, 以进一步提高两步式的速度为目标, 一方面将两步式中的第一步前移到像素的采样读出阶段, 实现时间的共享, 消除了两步式中第一步消耗的时间。另一方面, 通过第一步的处理, 将第二步的斜坡下移到第一个斜坡区间, 即实现单一区间的量化, 避免了多斜坡之间的非线性问题。具体的设计方案与验证结果如下所述。

### 1 基于时间共享与固定区间的高速高精度两步式 A/D 转换架构

传统的单斜式 ADC 结构如图 1 所示, 其中

AMP 和电容  $C_1, C_2$  组成像素输出的采样与放大电路, 放大倍数由  $C_1$  和  $C_2$  的比例决定, 电容  $C_3$  为保持电容。在单斜式 ADC 的量化阶段, 比较器 CMP 对保持的模拟电压和斜坡电压进行比较, 同时在比较的过程中同步计数, 当比较器翻转时的计数值即为量化的数字结果。正是由于这一过程的特点, 其量化时间比较长。随之改进的结构是图 2 所示的两步式结构, 该结构可以将单斜式的时间消耗大幅压缩。但是从图 3 所示的两步式多斜坡区间的关系可以看出, 斜坡之间的无缝切换非常重要, 它对线性误差影响很大。

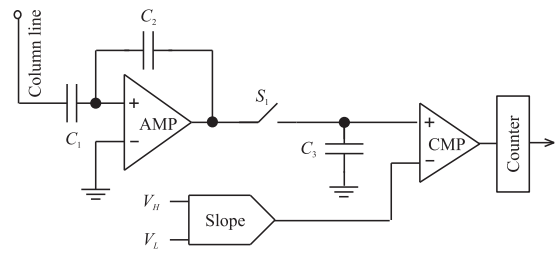


图 1 单斜式 ADC 结构

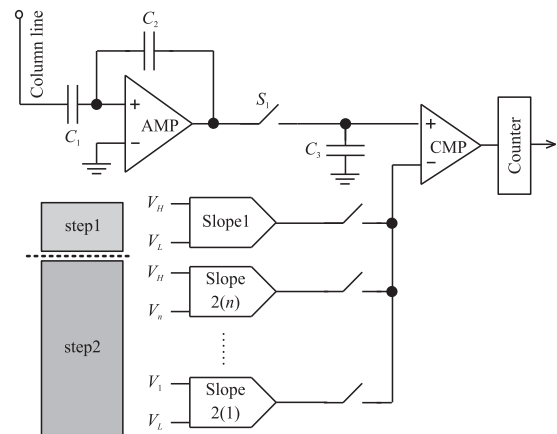


图 2 两步式多斜坡 ADC 结构

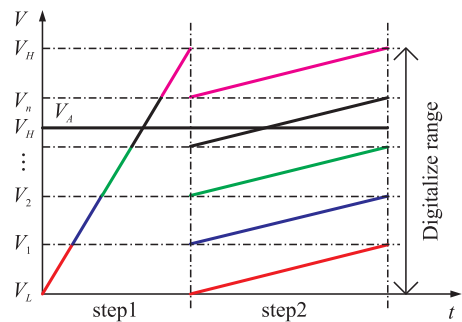


图 3 两步式斜坡间的关系

本文针对这一问题提出了一种有效的解决方案, 如图 4 所示。由 AMP 和电容  $C_1, C_2$  组成的像素输出采样放大电路与传统结构一致, 所不同的是, 在本文提出的两步式中, 每一步的具体工作过程如下所述。其中  $V_L$  到  $V_H$  是列级 ADC 的模拟量化范围,

按照两步式的工作过程, 第一步量化  $M$  位,  $n = 2^M - 1$ , 第二步量化  $K$  位。

第一步, 开关  $S_1$  闭合, 开关  $S_2$  闭合至 CMP1 翻转时刻, 保持电容  $C_3$  的下极板会根据像素输出采样放大的值动态切换, 直至切换到预期的值。由于像素输出与采样放大的时间是一定的, 所以将在这一段时间内, 对正在建立的保持电压  $V_A$  进行从  $V_1$  到  $V_n$  的比较, 当  $V_A$  超过  $V_1$  时, 保持电容  $C_3$  的下极板接  $V_1$ 。当  $V_A$  超过  $V_2$  时, 保持电容  $C_3$  的下极板再切换到  $V_2$ 。当  $V_A$  趋于稳定时, 保持电容  $C_3$  的下极板将固定到上一状态保持不变。比较器的比较过程和电容  $C_3$  下极板的变化过程是同时发生的, 当比较器状态发生变化后, 此时电容下极板的开关将会断开, 此时电容下极板维持当前值。需要注意的是, 电容上下极板变化的过程中互相不会有影响, 这需要提高采样放大的输出驱动来保证。

第二步, 这一步才是列级 ADC 真正消耗时间的部分。此时  $S_1$  和  $S_2$  均为断开状态, 保持电容  $C_3$  两端的电压差此时处于  $V_L$  到  $V_1$  之间, 因此, 将保持电容  $C_3$  两端的电压差与  $V_L$  到  $V_1$  之间的固定斜坡进行比较, 完成第二步的量化。

最后, 将第一步的结果和第二步的结果相加, 即得到最终的量化结果。以图 4 中的  $V_A$  为例, 在采样电路输出过程中, 同步查找  $V_A$  所在的区间:

$$V_A = m \frac{V_H - V_L}{2^M} + \Delta V \quad (1)$$

$$m = 0 \rightarrow 2^M - 1 \quad (2)$$

在细量化区间, 针对式 (1) 中的  $\Delta V$ , 通过四输入比较器直接得到单一区间的斜坡比较, 即  $\Delta V$  在式 (3) 中进行比较量化, 最终通过对  $m$  和  $k$  进行译码实现  $M+K$  位的高精度量化结果。

$$\Delta V = k \frac{V_H - V_L}{2^K} + \varepsilon \quad (3)$$

$$k = 0 \rightarrow 2^K - 1 \quad (4)$$

$$\varepsilon \leq \frac{V_H - V_L}{2^M \times 2^K} \quad (5)$$

从上面推导可以得到, 列级采样保持结束后, 电容  $C_3$  两端的压差时钟  $VC_3$ , 对应比较器的 V1P 和 V1N 输入端, 比较器的另外一组输入端 V2P 和 V2N 对应固定的斜坡信号, 保证了  $V_1$  到  $V_H$  的任意一点信号都可以被快速且单一区间量化。

$$V1P - V1N = VC_3 \leq V_n - V_{(n-1)} \quad (6)$$

$$V2P - V2N = V_L - V_1 \quad (7)$$

$$VOUT = (V1P - V1N) - (V2P - V2N) \quad (8)$$

根据上述分析可以看出, 本文提出的方法具有

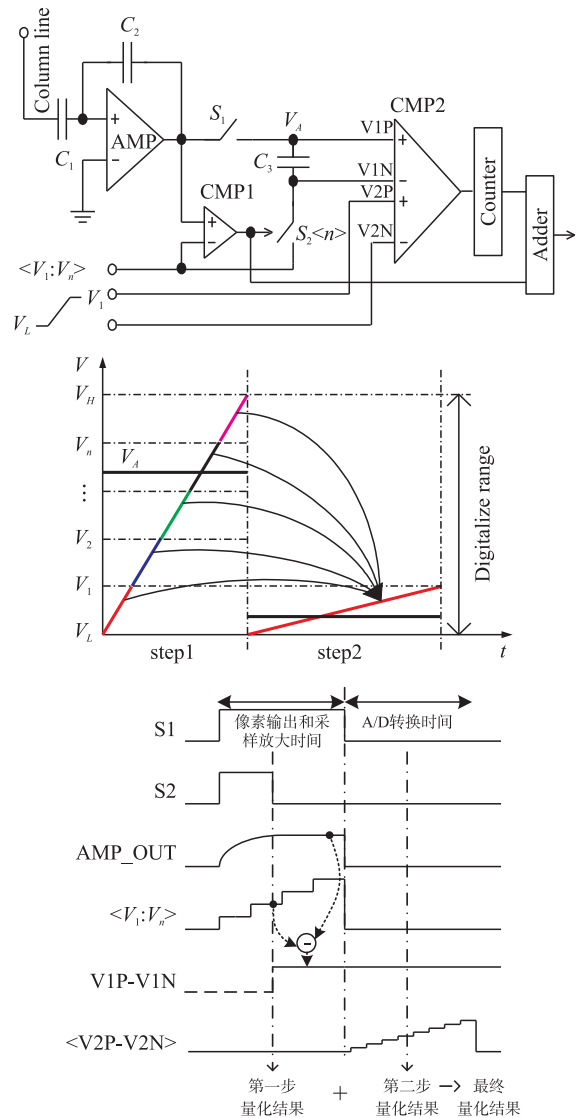


图 4 本文提出的两步式结构与时序关系图

以下优势: ①利用列级采样过程的时间, 并行完成了粗量化的工作, 为两步式 A/D 转换节省了大量时间; ②保持电容  $C_3$  的下极板电压不会发生类似传统结构的电压突变, 从而降低电容对切换速度的制约; ③细量化阶段的电压比较始终采用单斜坡实现, 而且没有引入余量增益与做差电路, 从而提升了粗细量化的斜街, 避免了传统两步式的切换误差问题。利用本文提出的方法可以在提高两步式 A/D 转换速度的同时, 也改进了粗细量化的转换精度, 为高动态范围的 CMOS 图像传感器提供了有效的解决方案。

## 2 实验结果与数据分析

为了验证所提出方法在实际芯片中的可行性, 论文在一款基于 55 nm 1P4M 工艺的 2 048×2 048 规模 CMOS 图像传感器设计中对上述提出的改进方法进行了具体电路的详细设计与测试验证。设计输

入为 2 048 列像素输出列线的模拟信号,量化范围为 1.2 V 到 2.8 V。该设计的分辨率为 12 位,计数器时钟频率为 500 MHz,其中第一步量化 4 位,时间长度为 0.5  $\mu$ s,第二步量化 8 位,时间长度为 0.5  $\mu$ s。具体在电路实现中的表现是,在像素输出与列级采样的过程中,对采样保持建立过程中的信号最多进行  $2^4-1$  次比较,根据比较的结果确定开关  $S_2<1:n>$  的编码方式,从而确定保持电容  $C_3$  的下极板所接电位。同时输出比较器最后一次翻转对应的电位作为最后加法器的输入。在第二步的量化中,斜坡范围为 1.2 V 到 1.3 V,计数器的范围为 0 到 255,比较器翻转时对应的计数器值为底 8 位的量化结果。最后将两步的量化结果拼接相加得到 12 位数字信号的完整输出。

如图 5 所示为电路内部详细的设计原理。其中虚线框中的电路为列级电路,共有 2 048 列,  $V_1$  到  $V_n$  的参考电压信号和  $V_L$  到  $V_1$  的固定斜坡信号由芯片级共用电路提供。由于电容  $C_3$  的下极板会根据  $V_A$  上升的幅度呈台阶上升,最终当  $V_A$  稳定时,  $C_3$  的两端电压差处于  $V_1-V_L$  之间,这样就可以将所有信号下移到  $V_1-V_L$  之间。对于  $V_1$  到  $V_n$  的参考电压信号,由于是直流信号,可以很好的保证列级之间的一致性。而对于  $V_L$  到  $V_1$  的固定斜坡信号,由于是受时间约束的瞬态信号,在版图布局时,需要充分考虑列级金属走线引入的布局差异,通过反补偿的方式抵消列级之间的差异,同时,在时间允许的情况下,也可以考虑采用数字相关双采样技术予以消除。如图 6 所示为考虑像素规格尺寸的列级版图设计,实际设计列宽为 7.5  $\mu$ m,为了提升电路在有限列宽下

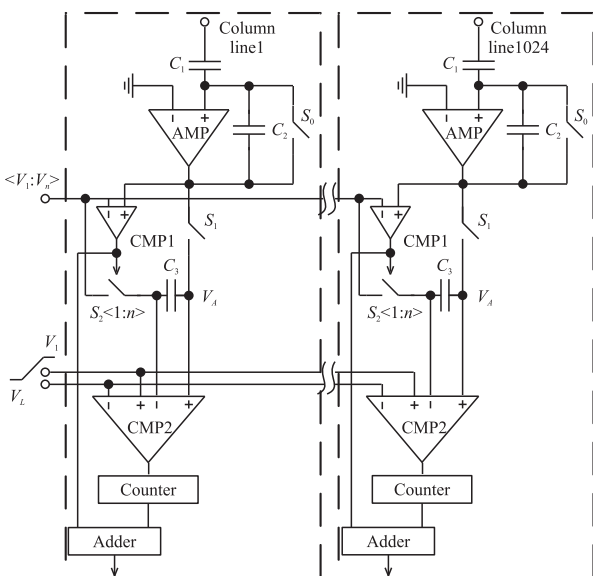


图 5 两步单斜 ADC 电路在列级的并行实现

的抗干扰程度,关键的参考信号、斜坡信号、电源地信号走线均采用了提升驱动能力与隔离的措施。

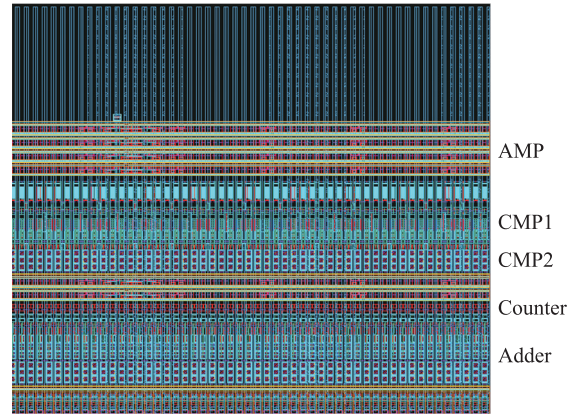


图 6 本文提出的两步单斜 ADC 电路与版图实现

通过将量化后的数字信号与模拟输入信号进行对比后发现,论文所提出的方法实现了高速与高精度的目标,图 7 所示为光电转换实际输出曲线,图 8 所示为 DNL 和 INL 的实际仿真验证曲线,其中 DNL 的最大值为 0.12LSB,INL 的最大值为 0.08LSB,这一优秀的线性误差参数将为高端 CMOS 图像传感器提供良好的支持。表 1 列出了本文验证结果与相关文献的对比,可见,本文工作采用时间共享后,将行时间压缩到 500 ns,提高了 CMOS 图像传感器的帧频。采用固定区间的细量化后,DNL 和 INL 质保均表现良好,显示了一定的线性优势。除此之外,论文在功耗和噪声方面,也没有任何牺牲。

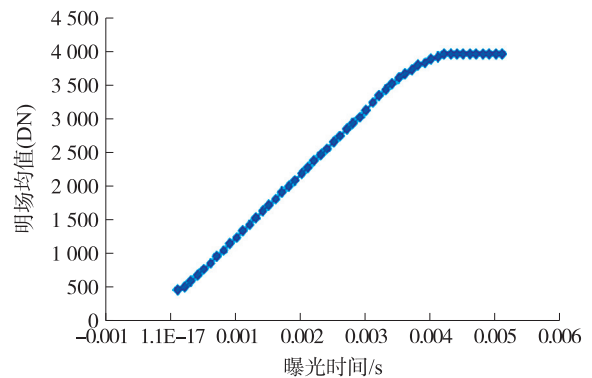


图 7 光电转换实际输出曲线

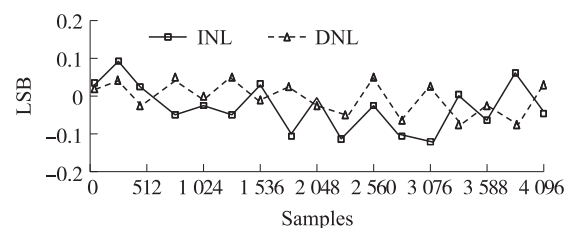


图 8 DNL 和 INL 的验证对比曲线

表 1 本文研究成果与参考文献的对比

参数	本文	[9]	[10]	[11]
工艺	55 nm	40 nm	350 nm	90 nm
结构	two step SS	two step SS	two step SS	two step SS
分辨率	12	12	11	12
INL(LSB)	+0.1/-0.12 -0.12	+0.32 -0.28	+1.42 -1.61	+0.74 -1.5
DNL(LSB)	+0.05/-0.08 -0.08	+4.21 -0.94	+0.53 -0.78	+0.84 -0.45
噪声/ $\mu\text{V}$	135	261.5	490	527
功耗/ $\mu\text{W}$	16.5	66.8	112	30
行时间/ $\mu\text{s}$	0.5	-	4	2.7

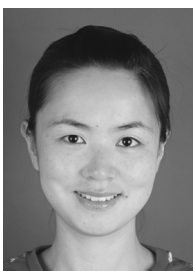
### 3 结论

本文针对单斜式 ADC 的速度有限缺点和两步式多斜式 ADC 的线性误差缺点,提出了一种基于时间共享和单区间斜率的高速高精度两步式 ADC 结构。采用第一步与像素输出采样并行的方式,进一步提高了两步式 ADC 的速度。采用电容顶极板电压切换技术,将两步式的多斜式转换为单个固定的斜坡,解决了多斜坡之间的线性误差问题。该方法在一款基于 55 nm 1P4M 工艺的 2 048 $\times$ 2 048 规模 CMOS 图像传感器中进行了实际验证,结果表明,行时间可以加快到 500 ns 的同时,非线性误差控制在 0.12LSB 以内,为高端 CMOS 图像传感器的设计提供了有效的解决方案。

### 参考文献:

- [1] 郭仲杰,吴龙胜. 抗辐射低噪声 CMOS 图像传感器设计技术研究[J]. 传感技术学报,2020,33(2):221-226.
- [2] Qiyuan Liu, Alexander Edward, Martin Kinyua, et al. A Low-Power Digitizer for Back-Illuminated 3-D Stacked CMOS Image Sensor Readout with Passing Window and Double Auto-Zeroing Techniques[J]. IEEE J Solid-State Circuits, 2017, 52(6):1591-1604.

- [3] Masayuki Ikebe, Daisuke Uchida, Yasuhiro Take, et al. Image Sensor/Digital Logic 3D Stacked Module Featuring Inductive Coupling Channels for High Speed/Low-Noise Image Transfer. in Proc[R]. IEEE VLSI Circuits(VLSIC) Symp., 2015: C82-C83.
- [4] Zhongjie Guo, Ningmei Yu. Design Technology of High Linearity DAC for Large Array CMOS Image Sensor[C]//2018 IEEE International Conference on Electron Devices and Solid State Circuits.
- [5] Øyvind Janbu, Robert Johansson, Tore Martinussen, et al. A 1.17-Megapixel CMOS Image Sensor with 1.5 A/D Conversions per Digital CDS Pixel Readout and Four In-Pixel Gain Steps[J]. IEEE Journal of Solid-State Circuits, 2019, 54(9):2568-2578.
- [6] Isao Takayanagi, Norio Yoshimura, Kazuya Mori, et al. An Over 90 dB Intra-Scene Single-Exposure Dynamic Range CMOS Image Sensor Using a 3.0  $\mu\text{m}$  Triple-Gain Pixel Fabricated in a Standard BSI Process[J]. Sensors, 2018, 18(2):1-11.
- [7] Kawahito S. Column-Parallel ADCs for CMOS Image Sensors and Their FoM-Based Evaluations[J]. IEICE Trans Electron, 2018, 101(7):444-456.
- [8] Hwang Y, Song M. Design of a CMOS Image Sensor Based on a 10-bit Two-Step Single-Slope ADC[J]. J Semicond Technol Sci, 2014, 14(2):246-251.
- [9] Junan Lee, Himchan Park, Bongsub Song, et al. High Frame-Rate VGA CMOS Image Sensor Using Non-Memory Capacitor Two-Step Single-Slope ADCs[J]. IEEE Transactions on Circuits and Systems—1: Regular Papers, 2015, 62(9):2147-2155.
- [10] Himchan Park, Changzhi Yu, Hyunmook Kim, et al. Low Power CMOS Image Sensors Using Two Step Single Slope ADC with Bandwidth-Limited Comparators & Voltage Range Extended Ramp Generator for Battery-Limited Application[J]. IEEE Sensors Journal, 2020, 20(6):2831-2838.
- [11] Lim S, Lee J, Kim D, et al. A High-Speed CMOS Image Sensor with Column-Parallel Two-Step Single-Slope ADCs [J]. IEEE Trans Electron Devices, 2009, 56(3):393-398.
- [12] Jong-Boo Kim, Seong-Kwan Hong, Oh-Kyong Kwon. High-Speed Two-Step Single-Slope ADC Using Multi-Sampling with Partial Conversion[J]. Electronics Letters, 2015, 51(4):325-327.
- [13] Min-Kyu Kim, Seong-Kwan Hong, Oh-Kyong Kwon. An Area-Efficient and Low-Power 12-b SAR/Single-Slope ADC without Calibration Method for CMOS Image Sensors[J]. IEEE Transactions on Electron Devices, 2016, 63(9):3599-3604



张 倩(1982—),女,博士,副教授,主要研究方向为碳化硅材料和器件, zhangqian@xacom.edu.cn。